

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-089346

(43)Date of publication of application : 03.04.1989

(51)Int.Cl.

H01L 21/94

H01L 21/02

H01L 21/20

(21)Application number : 62-245014

(71)Applicant : SONY CORP

(22)Date of filing : 29.09.1987

(72)Inventor : IZAWA NOBUYUKI

SATO HIROSHI

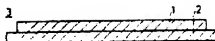
HAYASHI HISAO

## (54) SEMICONDUCTOR SUBSTRATE

### (57)Abstract:

PURPOSE: To reduce the waste of a semiconductor material by disposing the outer peripheral end of one substrate inside the outer peripheral end of the other substrate in a semiconductor substrate in which two semiconductor substrates are bonded.

CONSTITUTION: First and second semiconductor substrates 1, 2 are bonded, and at least the outer peripheral end of the substrate 1 is disposed inside that of the substrate 2. According to a substrate 3 of this construction, the substrate 2 has a specification of standard size by allowing at least part of the outer peripheral end to remain. Accordingly, the outer peripheral end of only the substrate 1 is removed to have a small diameter, thereby avoiding an irregular stepwise difference due to a gap between the substrates 1 and 3 or displacement of them. Thus, a problem of contamination in steps of manufacturing a semiconductor device can be avoided. Further, since the entirety has a diameter of standard size, an apparatus for manufacturing in standard size can be employed, thereby minimizing the waste of a semiconductor material.



③ 日本国特許庁(J.P.)

④ 特許出願公開

⑤ 公開特許公報(A) 昭64-89346

⑥ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑦ 公開 昭和64年(1989)4月3日

H 01 L 21/94  
21/02  
21/20

6708-5F  
B-7454-5F  
7739-5F

審査請求 未請求 発明の数 1 (全4頁)

⑧ 発明の名称 半導体基板

⑨ 特 願 昭62-245014

⑩ 出 願 昭62(1987)9月29日

⑪ 発 明 者	伊 沢 伸 幸	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑫ 発 明 者	佐 藤 弘	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑬ 発 明 者	林 久 雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑭ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑮ 代 理 人	弁理士 伊 藤 貞	外1名	

明 細 書

発明の名称 半導体基板

特許請求の範囲

第1及び第2の半導体基板が貼り合わされてなり、かつ少くとも上記第1の半導体基板の外周端が、上記第2の半導体基板の外周端より内側にあることを特徴とする半導体基板。

発明の詳細な説明

(産業上の利用分野)

本発明は、単体半導体装置あるいは半導体集積回路装置等の各種半導体装置を製作する場合に用いられる半導体基板、特に第1及び第2の半導体基板が貼り合わされてなる半導体基板に関わる。

(発明の概要)

本発明は、2枚の半導体基板が貼り合わされてなる半導体基板において、その少くとも第1の半導体基板の外周端が第2の半導体基板の外周端より内側にあり、かつ第2の半導体基板の貼り合わせにおいて問題となる周縁部の貼り合わせ部

における不良部が排除され、しかもその有効使用面積の増大化とまた半導体基板としての規格に適合した半導体基板を得ることができるようにして取り除きの簡便化を図る。

(従来の技術)

従来、第1図にその一部の拡大断面図を示すように第1及び第2の例えばシリコン単結晶半導体基板10及び10'が直接的あるいは酸化膜層を介して接合されて各種大電力用ないしは高耐圧用半導体装置、あるいはいわゆる SOI 型(セリコンダクタ オン インシュレータ)等の半導体基板10'を構成することが行われている。この種の第1及び第2のシリコン半導体基板10及び10'の直接的接合あるいは酸化膜介在による接合等については例えば特開昭60-121778号公報、特開昭60-121777号公報、電子通信学会技術研究報告 SDR7-25第9~14頁、同報告 SDR7-24第5~8頁、あるいはアプリケーション フィジックス レター (Appl. Phys. Lett.) Vol. 43, No. 3, 6, 1月1985第78~第80

頁等にその開示がある。

これら第1及び第2の半導体基板が接合合体された半導体基板においては、第1図に示すようにそれぞれその第1の半導体基板10及び第2の半導体基板20自体の碎屑等に際して積極的にあるいは必然的にその外周部が丸状を帯びた形状とされていることによって、これら2枚の半導体基板10及び20を接合合体した場合、その外周部の互いの合体部には、隙間が生じ、また両基板10及び20のいずれかによる不均一な変位が発生し、この半導体基板10に対する各種半導体素子の製造過程において塵埃の付着、所望の発生、機械的破損の不安定性等を招来するために、半導体装置の製造プロセス前にこの隙間ないしは段差部を有する部分の排除が必要となる。この排除すべき幅W<sub>1</sub>は、例えば第1及び第2の半導体基板として直径6インチの半導体基板同士の場合である場合、例えばW<sub>1</sub> = 0.4インチ程度となる。したがって、この隙間ないしは段差部を排除する目的のみで接合半導体基板の外周部の排除を行う場合には直径6イン

チの半導体基板が直径5.6インチ程度に減小させられよいことになる。ところが、実際上半導体装置の製造において半導体基板を取り扱う各種装置においては、その取り扱う半導体基板の直径が規定されていて例えば標準サイズの5インチ、4インチ、5インチ、6インチ、8インチ等に決められてしまうために必要最小限の切削幅W<sub>1</sub>が、8.4インチ程度であっても、これより充分大きな幅W<sub>2</sub>をもって外周部からの切削を行って、例えば両基板10及び20の断面の径が5インチの基板である場合、接合後には、5インチの標準サイズの基板にする必要が生じ、半導体材料の無駄が大となり、またこのような大きな幅のW<sub>2</sub>をもって接合基板の周辺を大きく排除することはその加工作業に長時間を要し、技術的に困難で作業性が低下するなどの問題点がある。

(発明が解決しようとする問題点)

本発明は、上述した第1及び第2の半導体基板の接合によって形成される半導体基板において、

半導体材料の無駄をできるだけ小さくし、かつ標準サイズを取り扱う従来の半導体装置の製造装置をそのまま使用することを可能にした半導体基板を提供するものである。

(問題点を解決するための手段)

本発明は、第1図に示すように第1及び第2の半導体基板10及び20が貼り合わされてなり、かつ少くともその第1の半導体基板10の外周部が第2の半導体基板20の外周部より内側ににあるような構成とする。

(作用)

上述の本発明による半導体基板によれば、一方の半導体基板10についてはその少くとも一部の外周部が残されていることによって標準サイズの規格を有するものであり、一方の基板20についてのみその外周部が排除された小径構成をとることにによって第1及び第2の基板10及び20間に隙間ないしはずれによる不均一な段差を回避でき、これに

よって、上述した半導体装置の製造過程における汚屑等の問題を回避でき、しかも全体としての直径は初期状態の標準サイズを有することから、標準サイズを取り扱う製造装置の使用が可能になり半導体材料の排除、すなわち無駄を最小限に留めることができる。

(実施例)

第2図を参照して本発明の一例をその図解を容易にするためにその製造方法の一例とともに説明する。まず、第2図Aに示すようにそれぞれ例えば単結晶シリコン半導体よりなる第1及び第2の半導体基板10及び20を例えば酸化処理を行う510a酸化膜10aの介在によって周知の技術によって一体に接合合体する。そして、この接合合体された半導体基板の一方例えば図においては第1の基板10上に第1図で説明した隙間ないしは段差部の排除等に必要幅W<sub>2</sub>に相当する外周部からの幅W<sub>2</sub>を残して全表面にフトレジスト等のエッチングマスク層を被覆する。

その後、第2図Bに示すようにエッチングマスク面をマスクとして、これによって覆われていない部分の基板10の表面に形成されているSiO<sub>2</sub>酸化膜面を例えば異方性エッチング例えば反応性イオンエッチング(RIE)によって基板10の基板面と接合される側とは反対側の上面の周辺部のSiO<sub>2</sub>酸化膜面をエッチング除去する。

次に、第2図Cに示すように絶縁層の除去されたシリコン基板面をその外周端において覆いをもって化学的エッチング等によって排除する。例えばKOH水溶液でエッチングする。この場合、このエッチング液のSiとSiO<sub>2</sub>に対するエッチング速度R<sub>Si</sub>とR<sub>SiO<sub>2</sub></sub>との比、 $R_{Si}/R_{SiO_2} \sim 10^1 \sim 10^4$ であることから、基板10からのエッチングが両基板10及び10間のSiO<sub>2</sub>酸化膜面に達するとき、急激にそのエッチングの進行度が低下してそのエッチングが実質的に停止するので、この時そのエッチング作業をやめれば、基板10についてのみ、SiO<sub>2</sub>酸化膜面によって覆われていない周辺部が幅Wに相当する壁をもってエッチング除去され隙間が

いしは酸素面の排除がなされ基板面については、初期状態の壁のまま残される。つまり、基板10及び10の接合面を合体させた基板10の全体的な露出は、エッチングされない第2の基板10の外縁によって規定されるので、この外縁が例えば5インチのものを使用する場合においては、最終的に得た半導体基板面においてもその外縁は5インチとなり、5インチ基準サイズの基板を取り扱う半導体装置の製造用の取り扱い装置を使用することができる。

上述の第2図の例においては、第1及び第2の半導体基板10及び10が絶縁層の介在によって接合する状態をとる場合についての例を示したが、第1及び第2の基板10及び10が直接的に積層接合されるようにした接合態様をとる場合に本発明を適用することもでき、この場合の一例を第3図を参照してその理解を容易にするために説明方法とともに説明する。この場合においても、例えばシリコン結晶面よりなる第1及び第2の半導体基板10及び10を周知の直接接合、すなわち両基板10及び10の接合面を鏡面平坦化し、両者を重ねた

状態で所定の温度に加熱することによって第3図Aに示すように、両基板10及び10の接合面を合体基板を作製する。

次に、この例においては第3図Bに示すように両基板10及び10が合体された基板の表面を例えば熱酸化してSiO<sub>2</sub>等の酸化膜面を形成する。その後、第2図Dで説明したと同様にエッチングマスク面を基板10上の外周端より幅Wを越えて内側に全面に被覆し、第3図Cに示すようにエッチング処理を施して基板10の表面の酸化膜面を選択的にエッチング除去する。

次に、第3図Dに示すように基板10の酸化膜面が除去された部分からKOH等のエッチング液によってエッチングを例えば基板10の一部に施すようにすなわち基板10及び10の接合面を接合面位置までかつ基板10をできるだけ大きな厚さをもって残すようにエッチングする。

このようにすれば第1及び第2の基板10及び10が接合された半導体基板10が得られ、両基板10及び10間に生ずる外周端の隙間の設置面が排除され、

全体としては基板10の外周端によって決まる外径寸法を有する前述したと同様の半導体基板10を得ることができる。

尚、第2図及び第3図で説明した例においては基板10に對する外周端のエッチングを化学的エッチングによって行う場合について説明したが、これを基板10に對する外周端の切除をラッピング等による機械的研削、ダイヤモンドカップオイル等による機械的研削、ダイヤモンドバイト等による機械切削方法によって排除するようにすることもできる。

#### (発明の効果)

上述したように本発明によれば、第1及び第2の基板10及び10の接合によって半導体基板10を構成するものであるが、第1の基板10についてのその外周端を切除して半導体装置の製造において問題となる基板10及び10の接合外周部における隙間等の不要部分の排除を行うようにし、全体としては初期の状態における直径よりわずかに径縮の標準

サイズの直接の基板として形成するので半導体材料の無駄を最小限に留めることができ、しかも標準サイズの半導体基板を取り扱う半導体製造装置を適用することができるのでコスト高を抑えることなく目的とする半導体装置を得ることができ、例えば統合型半導体基板を適用するパワーないしは高耐圧半導体装置、あるいは501型集積回路等に本発明を適用してその工業的利益は甚大である。

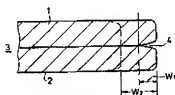
図面の簡単な説明

第1図は本発明による半導体基板の一例の略断断面図、第2図は本発明による半導体基板の一例のその説明に供する製造工程図、第3図は本発明基板の他の例のその説明に供する製造工程図、第4図は従来基板の要部の略断拡大断面図である。

1は第1の半導体基板、2は第2の半導体基板、  
3は第1及び第2の半導体基板の合体による半導体基板である。

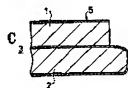
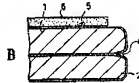


本発明による半導体基板  
第1図

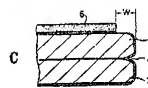
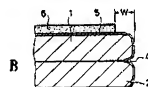
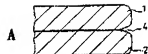


従来基板の断面図  
第4図

- 1……第1の半導体基板
- 2……第2の半導体基板
- 3……半導体基板
- 4……接合部
- 5……接合部
- 6……エッジング部



本発明基板の製造工程図  
第2図



本発明基板の他の例の製造工程図  
第3図

特開平 1-89346

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成7年(1995)3月31日

【公開番号】特開平1-89346

【公開日】平成1年(1989)4月3日

【年通号数】公開特許公報1-894

【出願番号】特願62-2-245014

【国際特許分類第6版】

H01L	27/12	B	9056-4M
	21/02	B	6918-4M
	21/20	B	122-4M

手 続 補 正 書

平成 6 年 7 月 6 日

特許庁長官 西 島 隆 博



特 許 補 正 書 第 2 頁 下 から 2 行 「アブレーション」を「アブレイド」と訂正する。

送 上

1. 事件の請求

昭和62年 特 許 第 143014号

2. 発明の名称

半導体装置

3. 補正番号

第 2 の 開 示 特 許 出 願 人

住 所 東京都品川区北品川6丁目7番35号

名 称 (218) ソ ー ル 技 術 有 限 公 司

代表取締役 大 賀 典 雄

4. 代 理 人

住 所 東京都港区西新橋1丁目6番1号  
TEL 03-3367-5321 和 (登録済)

氏 名 (208) 井 野 本 隆 雄 特 許 出 願 人

5. 補正の目的 平成 年 月 日

6. 補正により増加する発明の数

7. 補正の対象 特許書の要約の記載と特許の図。

8. 補正の回数

1. 2. 3.